

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-052697
 (43)Date of publication of 25.02.1994
 application :

(51)Int.Cl. G11C 29/00
 G06F 11/18
 G06F 12/16

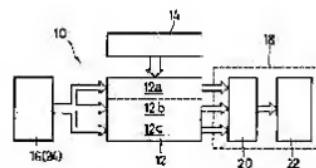
(21)Application number : 04-202342 (71)Applicant : KAWASAKI STEEL CORP
 (22)Date of filing : 29.07.1992 (72)Inventor : IWASAKI YOSHINOBU

(54) SEMICONDUCTOR MEMORY HAVING ERROR CORRECTING FUNCTION

(57)Abstract:

PURPOSE: To easily correct the defect of a semiconductor memory caused in the manufacturing process of a semiconductor integrated circuit and errors in memory data due to a soft error by improving a memory cell array part and providing a majority circuit in a data outputting part.

CONSTITUTION: A memory cell array 12 is composed of three memory cell sub-arrays 12a, 12b and 12c each of which has one memory cell allocated with the same address and the same bit. The majority circuit 20 selects the data of which two or more are the same data having either '0' or '1' read from respective memory cells having the same address in the sub-arrays 12a, 12b, 12c so as to output as majority (final) data. Also, an address decoder 14 selects the address at which the data is written or read and a data inputting part 16 inputs data to be written (0 or 1) to the same addresses of three sub-arrays 12a-12c in the memory cell array 12.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-52697

(43)公開日 平成6年(1994)2月25日

(51)Int.Cl.⁵G 1 1 C 29/00
G 0 6 F 11/18
12/16識別記号 庁内整理番号
3 0 2 6741-5L
3 1 0 E 7313-5B
3 1 0 L 7629-5B

F I

技術表示箇所

審査請求 未請求 請求項の数2(全 7 頁)

(21)出願番号 特願平4-202342

(22)出願日 平成4年(1992)7月29日

(71)出願人 000001258

川崎製鉄株式会社
兵庫県神戸市中央区北本町通1丁目1番28
号(72)発明者 岩 ▲崎▼ 吉 信
東京都千代田区内幸町2丁目2番3号 川
崎製鉄株式会社東京本社内

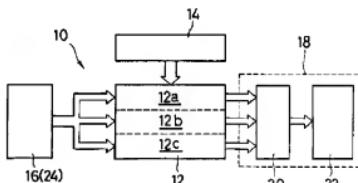
(74)代理人 弁理士 渡辺 望稔 (外1名)

(54)【発明の名称】 誤り訂正機能付半導体メモリ

(57)【要約】

【目的】半導体集積回路の製造工程において生じる半導体メモリのメモリセルの不良および半導体メモリの使用時などにおけるソフトエラーに起因するメモリセルのメモリデータの誤りを簡単な回路構成で容易に訂正することができ、製造工程での高歩留りを実現することのできる誤り訂正機能付半導体メモリ。およびこの誤り訂正機能を持つ高信頼性モードと、従来の通常モードとを切り換えることのできる半導体メモリの提供。

【構成】1つのアドレスの1つのビットに対して3個以上の奇数個のメモリセルを有するメモリセルアレイ部12と、多数次回路20を有するデータ出力部18とを備えた誤り訂正機能付半導体メモリおよび通常モードと高信頼性モードで書き込むメモリセルを切り換えるセレクタ26と、読み出されたメモリデータと多数次回路からの出力データとを切り換えるマルチブレクサ28とを備えた半導体メモリ。



I

2

【特許請求の範囲】

【請求項1】1つのアドレスの1つのビットに対して3個以上の奇数個のメモリセルを有するメモリセルアレイ部と、多数回路を有するデータ出力部とを備えたことを特徴とする誤り訂正機能付半導体メモリ。

【請求項2】1つのアドレスの1つのビットに対して3個以上の奇数個のメモリセルを割り当てることが可能なメモリセルアレイ部と、このメモリセルアレイ部の各メモリセルを1つのアドレスの1つのビットに対して1個割り当てる通常モードと1つのアドレスの1つのビットに対して3個以上の奇数個のメモリセルを割り当てる高信頗性モードとを切り換えるセレクタを有するデータ入力部と、1つのアドレスの1つのビットに対する前記奇数個のメモリセルのメモリデータの多数決をとる多数決回路および通常モードでは1つのメモリセルのメモリデータを出力し、高信頗性モードでは多数決回路の出力データを出力するマルチブレクサを有するデータ出力部とを備えたことを特徴とする誤り訂正機能付半導体メモリ。

【説明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、誤り訂正機能を有する半導体メモリに関し、詳しく述べは半導体集積回路の、製造工程において生じるセル不良およびソフトエラー等によるメモリセルデータの誤りを訂正することのできる誤り訂正機能を有する半導体メモリに関する。

【0002】

【從来の技術】従来の半導体メモリは、一般的に図5に示すように概略構成されている。同図に示すように半導体メモリ100は、多数のメモリセルがアレイ状に配列されたメモリセルアレイ102と、データを書き込むべきアドレス(行と列)またはデータを読み出すべきアドレス(行と列)を選択するアドレスデコーダ104と、書き込むデータを入力するデータ入力部106と、読み出されたデータを出力するデータ出力部108とを有し、メモリセルアレイ102と、アドレスデコーダ104、データ入力部106およびデータ出力部108との間はそれぞれデータバスによって接続されている。

【0003】ここで、このような従来の半導体メモリ100は、1つのアドレスの1つのビットに対して1つのメモリセルが割り当てられている。このような半導体メモリ100において、メモリ100にデータを書き込む時は、アドレスデコーダ104によってアドレスを1つ選択して、そのアドレスに対応するメモリセルアレイ102中のメモリセルにデータ入力部106から入力された入力データを書き込んでいる。この時、データ長が、例えば4ビット(bit)であれば、4つのメモリセルに同時に入力データが書き込まれる。一方、半導体メモリ100からデータを読み出す時は、アドレスを1つ選択して、そのアドレスに対応するメモリセルから記憶さ

れていたデータをデータ出力部108に出力する。

【0004】ところで、半導体メモリの製造工程(ウェーハプロセスや組立プロセス)において、メモリセルの不良が発生した場合、1つ(1ビット)でもセルの不良があると、そのメモリは不良品となり、製造工程の歩留りが低下することになる。また、メモリの使用時ににおいては、例えば、放射線等によるソフトエラーを引き起こし、メモリセルに蓄えられたデータが変化し、誤ったデータとなり、この半導体メモリを含むシステムの悪動作を招く可能性がある。さらに使用中に静電気等によるメモリセルの破壊やバイスそのものの破壊等に到る可能性もある。

【0005】従来より、半導体集積回路メモリ(ICメモリ)においては、メモリの高集成化に伴い、製造工程で発生する不良セルによる歩留りの低下を防ぐため、予めチップ上に必要以上のメモリセルを具備しておき、製造工程終了後にテストして、少數ビットの不良セルを良好なほかのメモリセル(予備のメモリセル)に置き換える冗長回路技術が開発されてきた。このようなメモリICにおいて、メモリセルの置換は、多結晶Siなどからなるヒューズ素子をレーザ光照射や過大電流によって焼き切ることで行ったり、不良セルのあるビット線のアドレスを記憶させ、このアドレスが来たら補助のビット線をセレクトし、このビット線に繋がっているメモリセル列にアクセスするようにメモリに記憶させることで行っている。

【0006】この冗長回路技術を用いて、製造工程の歩留りを向上させることができる。特に不良モードが製造技術そのものにある場合には多数のビットに不良が発生するが、不良モードが製造技術によるものではなく、統計的なものである場合には、少數ビット、通常は1、2ビットしか不良は発生しない。従って、この冗長回路技術による予備ビット(冗長ビット)の導入は、このような統計的な要因による不良に対しては極めて大幅な歩留り改善を得ることができる。

【0007】

【説明が解決しようとする課題】しかしながら、上述した冗長回路技術は、製造工程の歩留りを向上させることができると、そのためには、製造工程終了後にテストをして、レーザカット、過大電流によるカットなどの新たなトリミング工程が必要となるという問題がある。また、このような冗長ビットでは、使用時におけるソフトエラーなどに対処できないという問題もある。

【0008】一方、ソフトエラーに対しては、特に、コンピュータの記憶装置ではデータの信頗性を高めるため、デジタル情報の伝送の際に通信路で生じた誤りを訂正するために情報に適切な冗長性を付加する誤り訂正符号(S EC/D E D, S B E C/D B E D)を用いる記憶誤り訂正方式や冗長度符号チェック方式(C R C)などを適用していた。このような誤り訂正機能を半導体メモ

10

20

30

40

50

リに付けると、誤り訂正符号のためのデコーダーやエンコーダなどの専用の回路が必要であるし、回路構成が複雑になるという問題がある。また、このような誤り訂正機能付の半導体メモリには、誤り訂正率が低いなどの問題もある。

【0009】本発明の主目的は、上記從来技術の問題点を解消し、半導体集積回路の製造工程において生じる半導体メモリのメモリセルの不良および半導体メモリの使用時などにおけるソフトエラーに起因するメモリセルのメモリデータの誤りを簡単な回路構成で容易に訂正することができ、製造工程での高歩留りを実現することのできる誤り訂正機能付半導体メモリを提供するにある。

【0010】本発明の他の目的は、上記目的に加え、從来の1ビットに1メモリセルを割り当てる通常モードと、ソフトエラー等による誤動作が極めて小さい1つのアドレスの1つのビットに対して3個以上の奇数個のメモリセルを割り当てる高信頼性モードとを切り換えて用いることができる誤り訂正機能付半導体メモリを提供するにある。

【0011】

【課題を解決するための手段】上記目的を達成するためには、本発明の第1の態様は、1つのアドレスの1つのビットに対して3個以上の奇数個のメモリセルを有するメモリセルアレイ部と、多数箇回路を有するデータ出力部とを備えたことを特徴とする誤り訂正機能付半導体メモリを提供するものである。また、本発明の第2の態様は、1つのアドレスの1つのビットに対して3個以上の奇数個のメモリセルを割り当てることが可能なメモリセルアレイ部と、このメモリセルアレイ部の各メモリセルを1つのアドレスの1つのビットに対して1個割り当てる通常モードと1つのアドレスの1つのビットに対して3個以上の奇数個のメモリセルを割り当てる高信頼性モードとを切り換えるセレクタを有するデータ入力部と、1つのアドレスの1つのビットに対する前記奇数個のメモリセルのメモリデータの多数決をとる多数箇回路および通常モードでは1つのメモリセルのメモリデータを出し、高信頼性モードでは多数箇回路の出力データを出力するマルチプレクサを有するデータ出力部とを備えたことを特徴とする誤り訂正機能付半導体メモリを提供するものである。

【0012】

【説明の作用】本発明の第1の態様の誤り訂正機能付半導体メモリは、1つのアドレスの1つのビットに対して3個以上の奇数個のメモリセルを割り当てるができるように構成されたメモリセルアレイと、1つのアドレスの1つのビットに対して割り当られた3個以上の奇数個のメモリセルから読み出されたメモリデータの多数決を取り多数箇回路とを有し、同一データを同一アドレス同一ビットの3個以上の奇数個のメモリセルに書き込み、読み出し時にこれらの奇数個のメモリセルからメモリデータ

を読み出して、これらを多数箇回路で多数決を取ってその結果、すなわち過半数を占めるデータを最終データとして出力することができる。従って、本態様の半導体メモリは、製造工程において生じるメモリセル不良、使用状態でのソフトエラーによるメモリデータの誤りや読み出し不良などを訂正することができ、製造工程における歩留りを向上させ、使用時の高信頼性を得ることができる。

【0013】本発明の第2の態様の半導体メモリは、上記第1の態様の半導体メモリにおいて、そのデータ入力部に書き込むメモリセル（の数）を切り換えるセレクタと、データ出力部に読み出すメモリセル（の数）を切り換えるマルチプレクサとを有し、上述の半導体メモリと同じ誤り訂正機能を有する半導体メモリとして使用可能な高信頼性モードと、1つのアドレス、1つのビットに対して1つのメモリセルを割り当てる従来の半導体メモリとして使用可能な通常モードと切り換えて使用することができる。従って、本発明の半導体メモリは、大容量データを処理する必要がある場合には通常モードで大容量メモリとして使うことができ、高信頼性が要求される用途では高信頼性モードで誤り訂正機能付メモリとして使用することができる。

【0014】

【実施例】本発明に係る誤り訂正機能付半導体メモリを添付の図面に示す好適実施例に基づいて詳細に説明する。

【0015】図1は本発明の第1の態様の誤り訂正機能付半導体メモリの一実施例の概略構成図である。同図に示すように、半導体メモリ10は、1つのアドレスの1つのビットに対して3個のメモリセルを有し、これら3個のメモリセルがそれぞれ多数アレイ状（例えば2次元行列（アレイ）状）に配列された3つのメモリセルサブアレイ12a、12bおよび12cからなるメモリセルアレイ12と、データ（0または1）を書き込むべきアドレス（例えば、行アドレスおよび列アドレス）またはデータ（0または1）を読み出すべきアドレス（例えば、行アドレスおよび列アドレス）を選択するアドレスデコーダ14と、メモリセルアレイ12の3つのサブアレイ12a、12bおよび12cの同一のアドレスに書き込むデータ（0または1）を入力するデータ入力部16と、メモリセルアレイ12の3つのサブアレイ12a、12bおよび12cの同一アドレスの同一ビットから読み出されたデータ（0または1）の多数決を取り、その結果を出力するデータ出力部18とを有し、データ出力部18は、3つのサブアレイ12a、12bおよび12cの同一アドレスの同一ビットから読み出されたデータの多数決を取り多数箇回路20と多数箇回路20から出力される結果をデータとして出力するデータ出力回路22からなる。

【0016】ここで、メモリセルアレイ12は、同一ア

5

ドレス同一ビットが割り当てられたメモリセルをそれぞれ1つずつ有する3つのメモリセルサブアレイ12a、12bおよび12cから構成される。従って、各メモリセルサブアレイ12a、12bおよび12cの同一アドレス同一ビットの3つのメモリセルには同一のデータすなわち“0”または“1”が書き込まれ、記憶される。本発明の半導体メモリ10に用いられるメモリセルアレイ12は、3つのメモリセルサブアレイ12a、12bおよび12cの各々1ビットに同一のアドレスを割り当てることができるものであればどのようなものでもよい。

【0017】これらの3つのメモリセルのうち、1つのメモリセルが不良で、本来書き込まれるデータと異なるデータを記憶している場合であっても、残りの2つが正常であれば正しく書き込まれているので、読み出したとしても少なくとも2つは正しいメモリデータが読み出されるので、後述する多數決回路20で多數決を取ってやれば、常に正しいメモリデータが読み出される。従って、同一アドレスの同一ビットの3つのメモリセルのうち2個以上が不良である場合は、このメモリセルアレイ12、従って、半導体メモリ10は救済できない同一アドレスの同一ビットの3つのメモリセルのうち不良なものが各アドレスの各ビットについて1個以下であれば、そのメモリセルアレイ12は正しく動作することになり、半導体メモリ10は救済できることになる。すなわち、本発明の半導体メモリ10は、同一アドレスの同一ビットで2個以上の不良セルがなければメモリセルアレイ12のメモリセルのうち最大1/3のメモリセルが不良であっても、救済でき、正しく動作する。ここで、本発明の半導体メモリ10のメモリセルアレイ12のメモリセルに存しててもよい不良は、製造工程（ウェーハプロセス、組立プロセス）において生じた不良であってもよいし、使用状態において、紫外線、静電気、放射線等のノイズによって生じたソフトエラーや静電破壊等々による不良であってもよい。

【0018】アドレスデコーダ14は、データ書込時またはデータ読出時にメモリセルアレイ12の3つのメモリセルサブアレイ12a、12bおよび12cの各々1つの合計3つのメモリセルを割り当てる同一のアドレスを選択するものである。ここで、アドレスデコーダ14は、3つのメモリセルサブアレイ12a、12b、12cの各メモリセルに対し同一アドレスを割り当られれば、特に制限的ではなく、從来公知のアドレスデコーダーを用いることができる。

【0019】データ入力部16は、データ入力回路24からなり、データを書き込む時、データ入力回路24はアドレスデコーダ14によって選択された1つのアドレス、1つのビットに対して割り当られた3つのメモリセルサブアレイ12a、12bおよび12cの各1個のメモリセルに書き込むための同一データを入力するため

6

のものである。このデータ入力部16のデータ入力回路24から各サブアレイ12a、12b、12cに同一データが入力され、その選択された同一アドレス同一ビットの3つのメモリセルに同一データが書き込まれる。データ入力回路24は、同一アドレスの3つのメモリセルに同一データを出し、書き込むことができればどのようなものでもよく、從来公知の回路を用いることができる。

【0020】データ出力部18は、前述したように多數決回路20とデータ出力回路22からなり、データを読み出す時、アドレスデコーダ14により1つのアドレスを選択し、対応する3つのセルからデータを読み出して出しし、その3つの出力データを多數決回路20により多數決を取り、2つ以上同一であるデータを最終データ（その結果）としてデータ出力回路22から出力する。ここで、データ出力回路22は、特に制限的ではなく、從来公知の回路を用いることができる。

【0021】多數決回路20は、サブアレイ12a、12b、12cの同一アドレスの各メモリセルから読み出されたデータ“0”または“1”的うち2つ以上同一であるデータを選択して多數決（最終）データとして出力するものであり、その一例を図2に示す。同図において、A、B、Cはそれぞれサブアレイ12a、12b、12cの各メモリセルの読み出力データの入力線であり、Yが多數決データの出力線である。多數決回路20は、入力線AとBとのアンド（論理積：AND）をとるアンド回路32と、入力線AとBとのイクスクルーシブ・オア（排他的論理和：Exclusive OR）をとるイクスクルーシブ・オア回路34と、このイクスクルーシブ・オア回路34の出力と入力線Cとのアンドをとるアンド回路36と、アンド回路32と36の各出力のオア（論理和：OR）を取るオア回路38とからなり、オア回路38の出力が出力線Yに出力される。

【0022】この多數決回路20の真理値表は図3に示すようになる。このように入力線A、B、Cのうちの少なくとも2つが“0”であれば出力線Yは“0”となり“1”であれば“1”となって、入力線A、B、Cの入力データの多數決の結果が出力線Yに出力されていることがわかる。本発明に用いられる多數決回路20は、図2に示す例に限定されるわけではなく、入力線A、B、Cのうちの少なくとも2つが同一であるデータを出力線Yに出力できれば、特に制限的ではなく、どのようなものでもよく從来公知の論理回路素子をどのように組み合わせて多數決の論理回路を構成してもよい。

【0023】本発明第1の態様の記載訂正機能付半導体メモリ10は基本的に以上のように構成されるが、以下にその作用を説明する。本発明の半導体メモリ10においては、データ書込時に、アドレスデコーダ14によって選択された、それぞれ全く同じアドレスが割り当てられたメモリセルをメモリセルアレイ12の3つのサブ

アレイ 1 2 a、1 2 b、1 2 c に各 1 つずつ 3 つ用意し、これらの 3 つのメモリセルにデータ入力部 1 のデータ入力回路 2 4 から同一の 1 つのデータを入力し、書き込む。

【0024】次に、半導体メモリ 1 0において、このようにしてメモリセルアレイ 1 2 に書き込まれたデータを読み出す。データ読出時には、1 つのアドレスを選択して、3 つのサブアレイ 1 2 a、1 2 b、1 2 c の各 1 つの 3 つのメモリセルを同時に選択する。ここで不良がなければ、データ出力部 1 8 では、選択された同一アドレスの 3 つのメモリセルから同じデータが読み出されるので、多數決回路 2 0 を経由しても同じデータが送出され、データ出力回路 2 2 からも同じデータが最終データとして出力される。一方、同一アドレスの 3 つのメモリセルのうちに不良セルがあっても、不良セルが 1 個のみであれば、残りの 2 個のメモリセルからは正しいメモリデータが読み出される。従って、この場合には読み出された 3 個のメモリデータを多數決回路 2 0 で多數決演算することにより正しいメモリデータを選択し、データ出力回路 2 2 から最終データとして出力することができる。これに対し、不良セルが 2 個以上ある場合には、多數決回路 2 0 は、2 個以上同じ値のデータがあれば、それを出力するので、データ出力回路 2 2 から出力されるデータは正しいデータであるかどうか不明である。

【0025】しかしながら、メモリセルアレイのメモリセルのうち、同一アドレスに割り当てられる 3 つのメモリセルのうち 1 つのメモリセルが不良となってしまっても、すなわち、最大で 1/3 のメモリセルが不良となってしまっても、本発明の半導体メモリを救済することができる。このため、本発明の半導体メモリは、従来 1 ピットないし数ビットのメモリセルの不良しか救済できない冗長回路技術を適用した（冗長ピットを有する）メモリに比べて製造工程での歩留りを大幅に向上去ることができる。さらに、冗長回路技術では救済できない使用状態でのソフトエラーによるメモリセルの不良も大幅に救済することができます。従って、本発明の半導体メモリは、特に高信頼性が要求される用途や故障が許されない分野、例えば、宇宙・航空技術、軍事、原子力、通信、検査・解析、情報処理、画像処理などの分野・用途に最適である。

【0026】上述した例では、選択された同一アドレスの 3 つのメモリセルに同一データを同時に入力する実施例について述べたが、本発明はこれに限定されず、所定ビット長のデータを 3 回各々のサブアレイの所定ビットのメモリセルに順次入力するようにしてもよい。この例は、回線のノイズ等によりデータの誤りやメモリセル不良が生じやすい通信用途に最適である。また、この例は、セレクタ等で 3 つの所定ビット長のメモリセルを選択できるようにして、複数の画像のデータを重ね合わせカスケードで処理することで画像処理の分野にも適用可

能である。

【0027】次に、本発明の第 2 の態様の誤り訂正機能付半導体メモリの一実施例を図 4 に示す。同図に示す半導体メモリ 3 0 は、従来の半導体メモリと同様に 1 つのアドレスの 1 つのビットに対して 1 個のメモリセルを割り当てる通常（ノーマル）モードと、図 1 に示す本発明の第 1 の態様の半導体メモリ 1 0 と同様に 1 つのアドレスの 1 つのビットに対して 3 個のメモリセルを割り当てる高信頼性モードとの 2 つの使用モードを有し、用途に応じて 2 つの使用モードを使い分けることができるもので、特に、製造工程での歩留り向上より使用状態でのソフトエラーによるセル不良やデータの誤りの発生および静電気やノイズによるセル破壊やデータの誤りの発生などを防止し、または極めて低く抑制するものである。

【0028】このため、本態様の半導体メモリ 3 0 は、データ入力部 1 6 にセレクタ 2 6 およびデータ出力部 1 8 にマルチプレクサ 2 8 を有している点を除き、図 1 に示す半導体メモリ 1 0 と同様の構成を有しているので、同一の構成要素には同一の番号を付し、その詳細な説明は省略する。

【0029】ここで、アドレスデコーダ 1 4 から延びるバスラインはメモリセルアレイ 1 2 に接続されるとともに、このバスラインは分岐してデータ入力部 1 6 のセレクタ 2 6 に接続される。アドレスデコーダ 1 4 は、通常モードではメモリセルアレイ 1 2 の全てのメモリセル 1 つ 1 つに対して 1 つのアドレスを割り当て、高信頼性モードではメモリセルアレイ 1 2 の 3 つのメモリセルサブアレイ 1 2 a、1 2 b、1 2 c の各 1 つのメモリセルに対して 1 つのアドレスを割り当てることができる。そして、アドレスデコーダ 1 4 からはデータ入力部 1 6 のセレクタ 2 6 に通常モードでメモリセルアレイ 1 2 の 1 つのメモリセルに入力データを書き込むか、高信頼性モードで各サブアレイ 1 2 a、1 2 b、1 2 c の各々 1 つのメモリセルに入力データを書き込むかのコントロール信号が入力される。

【0030】データ入力部 1 6 は、データ入力回路 2 4 とセレクタ 2 6 ととなる。データ入力回路 2 4 から延びたバスラインはセレクタ 2 6 に接続され、セレクタ 2 6 からの 3 本のバスラインがメモリセルアレイ 1 2 のサブアレイ 1 2 a、1 2 b、1 2 c の各々に 1 本ずつ接続される。データ入力回路 2 4 には、書き込まれるデータ（“0”または“1”）が入力され、セレクタ 2 6 には、データ入力回路 2 4 から入力されたデータと、アドレスデコーダ 1 4 からの使用モード（通常モードか高信頼性モード）に応じたコントロール信号とが入力される。従って、セレクタ 2 6 は、通常モードでは、アドレスデコーダ 1 4 によって 1 つのアドレス、1 つのビットを選択し、その対応する 1 つのメモリセルにデータ入力回路 2 4 から入力されたデータを書き込み、高信頼性モードでは、アドレスデコーダ 1 4 によって選択された 1

つのアドレス1つのビットに対し割り当てられた3つのメモリサブアレイ12a, 12b, 12cの各1個の合計3個のメモリセルでデータ入力回路24から入力された同一のデータを書き込むように、データの書き込みモードを切り換える。

【0031】データ出力部18は、多数決回路20とデータ出力回路22とマルチプレクサ28とからなる。メモリセルアレイ12の各サブアレイ12a, 12b, 12cからそれぞれバスラインが延びて多数決回路20に接続され、またこれらのバスラインは分歧してマルチプレクサ28にも接続される。多数決回路20から延びたバスラインはマルチプレクサ28に接続され、マルチプレクサ28から延びたバスラインはデータ出力回路22に接続される。

【0032】データ読み出し時において、通常モードであれば、メモリセルアレイ12の3つのサブアレイ12a, 12b, 12cのいずれか1つのサブアレイの中からアドレスデコーダ14によって選択されたアドレスに対応する1つのメモリセルのデータを読み出し、マルチプレクサ28はサブアレイ12a, 12b, 12cのいずれか1つを選択して読み出されたメモリデータをデータ出力回路22に出力し、データ出力回路22はこのデータを最終データとして出力する。

【0033】これに対し、高信頼性モードでは、選択されたアドレスに対応する3つのサブアレイの各々1つずつのメモリセルからそれぞれメモリデータを読み出し、これらの読み出された3個のメモリデータは多数決回路20に入力され、多数決回路20において多数決が取られ、2個以上同一となったデータを出力データとしてマルチプレクサ28に入力する。次いで、マルチプレクサ28では、多数決回路20からのバスラインを選択し、多数決された出力データを得、データ出力回路22に出力し、データ出力回路22はこのデータを最終データとして出力する。

【0034】このように本態様の半導体メモリ30は、大容量データを記憶するために大容量メモリとして使用する通常モードと、高信頼性が必要である用途の高信頼性モードとを切り換えて使用することが可能である。従って、通常は大容量メモリとして使用し、例えば、宇宙、軍事、通信等々の分野において、ソフトエラーが生じやすい過酷な条件で高信頼性が要求される場合には高信頼性を発揮する誤り訂正機能付メモリとして使用することができる。なお、セレクタ26およびマルチプレクサ28も特に制限的ではなく、従来公知のものを用いることができる。

【0035】上述した例では、1つのアドレス、1つのビットに対して選択されるメモリセル（從てメモリセ

ルサブアレイ）の数を3個としているが、本発明はこれに限定されず、多数対によってデータが決められる3個以上の奇数個であれば、何個であってもよい。また、これらのメモリセルからなるサブアレイは、図示例のように平面的な領域として分かれている必要はなく、3個以上の奇数個のメモリセルが順次繰り返されていてもよいし、電気的にアドレスが選択可能であれば物理的にアレイ状でなくてもよい。

【0036】

【5割の効果】以上、詳述したように、本発明の第1の態様によれば、読出データの誤りを訂正する機能を有しているので、製造工程において発生するメモリセル不良を修正することができ、歩留りを大幅に向上させることができ。また、本態様によれば、従来の誤り訂正符号による誤り訂正機能に比べ、極めて簡単な回路構成で、冗長回路技術ではできなかったソフトエラーによるメモリセルのデータの誤りやメモリセル不良による読出データの誤りを訂正することができる。従って、本態様の半導体メモリは、宇宙・航空、軍事、通信などの高信頼性が要求される分野に最適である。

【0037】本発明の第2の態様によれば、上述の第1の態様の効果を持つ高信頼性メモリとして使用する高信頼性モードと従来の大容量メモリとして使用する通常モードとを切り換えて使うことができる。従って、本態様の半導体メモリは、様々な用意に応じて使い分けることができる。

【図面の簡単な説明】

【図1】 本発明に係る誤り機能付半導体メモリの一実施例の概略構成プロック図である。

【図2】 図1に示す半導体メモリに用いられる多数決回路の一実施例の回路図である。

【図3】 図2に示す多数決回路の真理値表である。

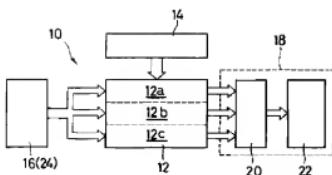
【図4】 本発明に係る誤り機能付半導体メモリの別の実施例の概略構成プロック図である。

【図5】 従来の半導体メモリのプロック図である。

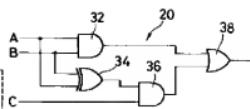
【符号の説明】

- 10, 30 半導体メモリ
- 12 メモリセルアレイ
- 12a, 12b, 12c メモリセルサブアレイ
- 14 アドレスデコーダ
- 16 データ入力部
- 18 データ出力部
- 20 多数決回路
- 22 データ出力回路
- 24 データ入力回路
- 26 セレクタ
- 28 マルチプレクサ

【図1】



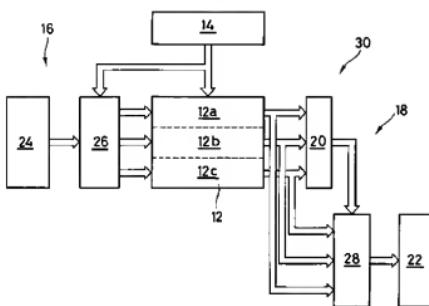
【図2】



【図3】

真理値表			
A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
1	0	0	0
0	1	1	1
1	0	1	1
1	1	0	1
1	1	1	1

【図4】



【図5】